

# ACTIVE MATRIX SUBSTRATE AND ITS MANUFACTURE AS WELL AS ELEMENT FORMATION SUBSTRATE AND INTERMEDIATE TRANSFER SUBSTRATE

**Publication number:** JP2001007340 (A)  
**Publication date:** 2001-01-12  
**Inventor(s):** AKIYAMA MASAHIKO  
**Applicant(s):** TOKYO SHIBAURA ELECTRIC CO  
**Classification:**

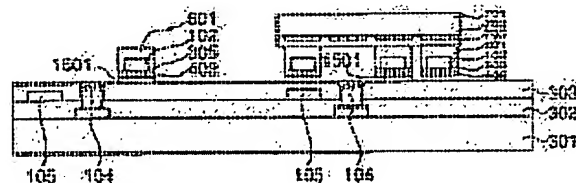
**Also published as:**

JP3447619 (B2)  
 US6559905 (B1)

**- international:** G02F1/1343; G02F1/136; G02F1/1368; H01L21/02; H01L21/336; H01L21/60; H01L21/77; H01L21/84; H01L27/12; H01L29/786; G02F1/13; H01L21/02; H01L21/70; H01L27/12; H01L29/66; (IPC1-7): H01L29/786; G02F1/1343; G02F1/1365; H01L21/336  
**- European:** H01L21/77T; H01L21/336D2C; H01L21/60H; H01L27/12; H01L29/786B6; H01L29/786E4B4  
**Application number:** JP19990179214 19990625  
**Priority number(s):** JP19990179214 19990625

## Abstract of JP 2001007340 (A)

**PROBLEM TO BE SOLVED:** To manufacture an active matrix substrate at low costs and with high accuracy by a method wherein an element is formed on an element formation substrate, an interconnection is formed on a transfer destination substrate, the element is transferred to the transfer destination substrate and the interconnection is connected. **SOLUTION:** An etching stop layer 402 an undercoat layer 305 and TFTs 102 are formed on an element formation substrate 401. Protective films 601 are formed on the respective TFTs 102. A transfer destination substrate 301 is coated with a conductive paste by screen printing, a pattern is formed so as to be annealed, and scanning lines 105 are formed. In addition an interlayer insulating film 302 and a flattened film 303 are coated with a photoresist so as to be exposed and developed, a mask is manufactured so as to be etched, and contact parts 201 are formed on signal lines 104 and the scanning lines 105. Then, TFTs on an intermediate transfer substrate 701 are transferred to the transfer destination substrate 301. Then, connecting electrodes or the like which are used to connect the signal lines 104 to the FETs 102 are formed. At the same time, also a pixel electrode is formed.



Data supplied from the esp@cenet database — Worldwide

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-7340

(P 2 0 0 1 - 7 3 4 0 A)

(43)公開日 平成13年1月12日(2001.1.12)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード	(参考)
H01L 29/786		H01L 29/78	627	D 2H092
21/336		G02F 1/1343		5F110
G02F 1/1343		1/136	500	
1/1365				

審査請求 未請求 請求項の数10 O L (全12頁)

(21)出願番号	特願平11-179214	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成11年6月25日(1999.6.25)	(72)発明者	秋山 政彦 神奈川県横浜市磯子区新磯子町33番地 株 式会社東芝生産技術センター内
		(74)代理人	100083161 弁理士 外川 英明

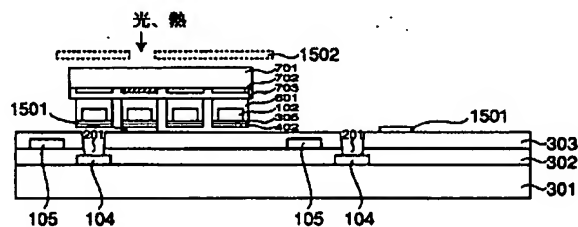
最終頁に続く

(54)【発明の名称】アクティブマトリクス基板及びその製造方法、素子形成基板、中間転写基板

(57)【要約】

【課題】 大型基板や、ガラス以外の異なる材料を用いた基板にも、ローコストで高精度なアクティブマトリクス基板の作製を可能にする。

【解決手段】 素子形成基板401上に素子102を形成する工程と、転写先基板301上に配線を形成する工程と、素子102を転写先基板301上に転写する転写工程と、転写先基板301上に転写された素子102と配線を接続する工程とを具備する事を特徴とするアクティブマトリクス基板の製造方法。



## 【特許請求の範囲】

【請求項1】 素子形成基板上に素子を形成する工程と、転写先基板上に配線を形成する工程と、前記素子を前記転写先基板上に転写する転写工程と、前記転写先基板上に転写された前記素子と前記配線を接続する工程とを具備する事を特徴とするアクティブマトリクス基板の製造方法。

【請求項2】 前記転写工程が、前記素子形成基板上に形成された前記素子を中間転写基板に接着する工程と、前記素子形成基板をエッチング除去する工程と、前記中間転写基板に接着された前記素子を前記転写先基板上に転写する工程とを具備する事を特徴とする請求項1記載のアクティブマトリクス基板の製造方法。

【請求項3】 前記転写工程が、中間転写基板に接着層を形成する工程と、前記素子形成基板上に形成された前記素子を前記接着層に転写する工程と、前記接着層に熱を加え前記素子を前記中間転写基板から前記転写先基板上に転写する工程とを具備する事を特徴とする請求項1記載のアクティブマトリクス基板の製造方法。

【請求項4】 前記素子形成基板上に形成される前記素子の間隔と前記転写先基板上に転写された前記素子の間隔が異なる事を特徴とする請求項1、2または3記載のアクティブマトリクス基板の製造方法。

【請求項5】 前記素子形成基板上の一定規則の位置の前記素子を同時に転写する事を特徴とする請求項1、2または3記載のアクティブマトリクス基板の製造方法。

【請求項6】 前記素子を形成する工程が、前記素子形成基板上にアンダー層を形成する工程と、前記アンダー層上に前記素子を形成する工程と、前記素子上に保護膜を形成する工程とを具備し、前記素子は前記アンダー層と前記保護膜によって覆われる事を特徴とする請求項1、2、3、4または5記載のアクティブマトリクス基板の製造方法。

【請求項7】 素子形成基板上にアンダー層を形成する工程と、前記アンダー層上に素子と配線を形成する工程と、前記素子と前記配線を転写先基板上に転写する転写工程とを具備する事を特徴とするアクティブマトリクス基板の製造方法。

【請求項8】 基板と、素子毎に分離され前記基板上に設けられる接着層と、前記接着層上に設けられるアンダーコート層と、前記アンダーコート層上に設けられる前記素子とを具備する事を特徴とするアクティブマトリクス基板。

【請求項9】 基板と、前記基板上に設けられるアンダーコート層と、前記アンダーコート層上の全面に等しい高さで設けられ電気的に各々独立な素子とを具備する事を特徴とする素子形成基板。

【請求項10】 基板と、前記基板上に設けられ熱を加える事により剥離する剥離層と、前記剥離層上に等しい高さで設けられ電気的に各々独立な素子とを具備する事

を特徴とする中間転写基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はアクティブマトリクス基板及びその製造方法、素子形成基板、中間転写基板に関する。

## 【0002】

【従来の技術】液晶ディスプレイ(LCD)は、薄型で低消費電力でありカラー表示も可能である為、ノート型パソコン等に広く用いられており、その表示品位は電子情報のみならず、テレビ放送等の表示にも適用できるものである。例えば、アクティブマトリクス型LCDは、ガラス基板上に、アモルファスシリコンや多結晶シリコンを活性層とした薄膜トランジスタ(TFT)をマトリクス状に形成し、対向ガラス基板と5 $\mu$ m程度のギャップを設けて固定し、その間に液晶を注入して、高画質なフルカラー表示の得られるフラットパネルディスプレイとして利用されている。図35に、従来のアクティブマトリクス型LCDの画素部の断面図を示す。ガラス基板3501上に走査線3502、補助容量線3503が形成され、その上にゲート絶縁膜3504が形成される。その上に画素電極3505が形成される。TFT部3506には半導体層3507、チャネル保護絶縁膜3508、チャネル保護絶縁膜3508上で絶縁されているドープされた半導体層3509が積層されている。ドープされた半導体層3509上にソース電極3510とドレイン電極3511が設けられている。ソース電極3510は信号線(図示せず)と接続し、ドレイン電極3511は画素電極3505と接続する。これらTFT部3506の上に保護絶縁膜3512が形成されている。

【0003】近年、これらのLCDは広視野角化技術の発展で、LCDに特有の視野角依存性の問題も解決しつつあり、さらにTFTアレイはガラス基板上に形成できる為、対角10インチ～25インチ程度の比較的大きなディスプレイが実現出来る。しかし、ハイビジョンテレビ(HDTV)で期待される、対角40インチ～60インチ程度といった大画面のTFTアレイの実用化は、約1メートル四方以上の超大型ガラス基板を使用できる製造ラインを構築するのにコストがかかる等の問題が残っている。これに対して、複数のTFTアレイ基板を接合して大型化する方法が、例えば特開平10-268332号等で知られている。しかし、接合部の精度が悪い為に接合部の開口率が低下する、5 $\mu$ m程度の厚さの液晶層からすると接合部の高さ制御が十分でない為に歩留まりが悪い、等の問題があった。他方、LCDの特長である低消費電力をさらに生かして、いつでもどこでも電子情報を見る事が出来るモバイル情報機器も広く用いられるようになっており、今後、記録媒体へ印刷したものと同程度度の、150～300画素/インチ(pixel/inch:ppi)程度といった超高精細の表示が期

待されている。

【0004】これらモバイル情報機器は、低消費電力と共に軽量化が重要である。A4の大きさで、0.7mm厚程度のガラス基板を用いて液晶セルを形成すると、基板のみで220g程度、セルを固定するベゼル等を含めると400g程度以上になる。重量は、基板をプラスチック基板とする事で1/2程度となり、フィルム基板などを用いる事でさらに軽量になり、モバイル情報機器への適用が可能となる。そこで、プラスチック基板、フィルム基板上へのTFT作製の試みがなされている。しかしこれらの基板へのTFT作製は、プロセス温度を低温化する事が必要であり、プロセス温度の低温化の為にTFT性能が劣化して、画質、画素数等に制限が出る事が考えられる。さらにこれらの基板は熱膨張係数が大きく、塑性変形する温度も低い為に、高精細化が不可能である事も予想され、問題となっている。

#### 【0005】

【発明が解決しようとする課題】上に述べたように、対角約40インチ～60インチといった大画面のTFTアレイの実用化は、製造ラインを構築するのにコストがかかる等の問題があった。また、基板の厚さを変えたり、ガラス基板以外の異なる材料を用いた基板に、素子を形成する事も、プロセス温度や、基板の塑性変形などで問題があった。

#### 【0006】

【課題を解決するための手段】そこで本発明の第1は、素子形成基板上に素子を形成する工程と、転写先基板上に配線を形成する工程と、素子を転写先基板上に転写する転写工程と、転写先基板上に転写された素子と配線を接続する工程とを具備する事を特徴とするアクティブマトリクス基板の製造方法を提供する。転写工程は、素子形成基板上に形成された素子を中間転写基板に接着する工程と、素子形成基板をエッチング除去する工程と、中間転写基板に接着された素子を転写先基板上に転写する工程とを具備しても良い。また転写工程は、素子形成基板上に形成された素子を中間転写基板に接着する工程と、レーザーを照射して素子形成基板から素子を剥離する工程と、中間転写基板に接着された素子を転写先基板上に転写する工程とを具備しても良い。転写工程は、中間転写基板に接着層を形成する工程と、素子形成基板上に形成された素子を接着層に転写する工程と、接着層に熱を加え素子を中間転写基板から転写先基板上に転写する工程とを具備しても良い。また転写工程は、中間転写基板に接着層を形成する工程と、素子形成基板上に形成された素子を加熱した接着層に転写する工程と、接着層に紫外線を照射して素子を中間転写基板から転写先基板上に転写する工程とを具備しても良い。

【0007】素子形成基板上に形成される素子の間隔と転写先基板上に転写された素子の間隔は異なっても良い。また、素子形成基板上の一定規則の位置の素子を同

時に転写しても良い。さらに、素子を形成する工程が、素子形成基板上にアンダー層を形成する工程と、アンダー層上に素子を形成する工程と、素子上に保護膜を形成する工程とを具備し、素子はアンダー層と保護膜によって覆われても良い。本発明の第2は、素子形成基板上にアンダー層を形成する工程と、アンダー層上に素子と配線を形成する工程と、素子と配線を転写先基板上に転写する転写工程とを具備する事を特徴とするアクティブマトリクス基板の製造方法を提供する。本発明の第3は、基板と、素子毎に分離され基板上に設けられる接着層と、接着層上に設けられるアンダーコート層と、アンダーコート層上に設けられる素子とを具備する事を特徴とするアクティブマトリクス基板を提供する。本発明の第4は、基板と、基板上に設けられるアンダーコート層と、アンダーコート層上の全面に等しい高さで設けられ電氣的に各々独立な素子とを具備する事を特徴とする素子形成基板を提供する。本発明の第5は、基板と、基板上に設けられ熱を加える事により剥離する剥離層と、剥離層上に等しい高さで設けられ電氣的に各々独立な素子とを具備する事を特徴とする中間転写基板を提供する。

#### 【0008】

【発明の実施の形態】以下に、本発明の実施形態を詳細に説明するが、本発明はこれらの実施形態に限定されるものではない。まず、本発明の第1の実施形態について説明する。本実施形態は、アモルファスシリコンTFT（以下TFTとする）を素子形成基板で形成し、中間転写基板に転写した後、さらに配線などを形成した転写先基板上に転写してアクティブマトリクス基板とし、液晶表示装置を作製する。本実施形態のアクティブマトリクス基板101全体の平面図を図1に、図1の1つのTFT部分の拡大図を図2に、図2のa-a'間の断面図を図3に示し、この3図を用いて本実施形態のアクティブマトリクス基板101の構成を説明する。図1では図2に示すTFTの詳細は、省略している。図1に示すように、本実施形態のアクティブマトリクス基板101の各画素にはTFT102と画素電極103が設けられ、アレイ状に形成されている。TFT102はそれぞれ、画素電極103、信号線104、走査線105と接続している。各画素は図3に示すように、ガラスから成る転写先基板301上に走査線105が形成され、層間絶縁膜302、信号線104、平坦化膜303が積層される。その上に、TFT102として接着層304、アンダーコート層305、ゲート電極306、ゲート絶縁膜307、半導体層308、チャネル保護絶縁膜309が積層され、その上に、チャネル保護絶縁膜309の上部が除去されたn型半導体層310、n型半導体層310上にソース電極311、ドレイン電極312が設けられている。さらにその上にパッシベーション膜313が形成され、ソース電極311、ドレイン電極312部分にコンタクトホール314が設けられている。また、ドレイン

電極312に接続して画素電極103が平坦化膜305上に設けられている。

【0009】図2に示すように、走査線105、ゲート電極306には各々コンタクト部201が設けられ、接続電極202を通じて走査線105とゲート電極306が接続されている。また、信号線104はコンタクト部201、接続電極203、コンタクトホール314を通じてTFT102のソース電極311に接続している。画素電極103には、図2に示すように、補助容量線204を設けても良い。補助容量線204は画素電極305電圧の保持、及び液晶の誘電異方性による走査線パルスの容量カップリングノイズの信号電圧依存性の低減、等に用いられる。補助容量線は図2のように、信号線104と同じ層に設け信号線104に平行とするほか、走査線105と同じ層に設け走査線105に平行にする、または前段の走査線105を兼ねる等としても良い。補助容量線204は電源(図示せず)に接続し適当な電圧を加えれば良い。まず、図4を用いて素子形成基板401上でのTFT102の製造方法を説明する。ガラスから成る素子形成基板401上には、エッチングストップ

層402が設けられている。このエッチングストップ層402は、ガラスエッチングのストップとして機能し、例えばタンタル酸化膜等の金属酸化膜や窒化膜等で形成する。

【0010】その上に、例えばシリコン酸化膜またはシリコン窒化膜から成るアンダーコート層305を形成する。この上に、MoTa、MoW等から成るゲート電極306を形成し、それを覆うようにプラズマCVD法を用いて、シリコン窒化膜でゲート絶縁膜307を厚さ400nm程度形成する。このゲート絶縁膜307はシリ

コン窒化膜とシリコン酸化膜との積層で形成しても良い。半導体層308としてアモルファスシリコン層を厚さ50nm程度、チャネル保護絶縁膜309としてシリコン窒化膜を厚さ100~400nm程度形成した後、裏面露光によりチャネル保護絶縁膜309をゲート電極306に自己整合させて加工する。次に燐をドーブしたn型半導体310をCVDで成膜する。このn型半導体層310をパターニングして、チャネル保護絶縁膜309上のn型半導体層310を除去する。n型半導体層310上にはソース電極311、ドレイン電極312を形成する。さらに、プラズマCVDにより、シリコン窒化膜から成るパッシベーション膜313を成膜し、ソース電極311、ドレイン電極312部分にコンタクトホール314を形成する。アンダーコート層305からパッシベーション膜313までのTFT102の高さは500nm~2μm程度とする。

【0011】次に図5から図9を用いて素子形成基板401から中間転写基板701への転写を説明する。図5から図9では、素子の詳細な構成等は省略している。図5に示すように、素子形成基板401上にエッチングス

トップ層402、アンダーコート層305、TFT102が形成されている。各TFT102毎には、図6のように保護膜601を設ける。保護膜601としては本実施形態ではゴム系ネガレジストを用いたが、その他、耐熱性を有し、機械的強度のある有機樹脂等でも良い。保護膜601は、図4の点線で示すように、縦横ともTFT102より2~40μm程度大きくなるよう形成し、TFT102全体を覆うようにする。その後、ドライエッチングを行う等して、図7のようにTFT102部分以外のエッチングストップ層402、アンダーコート層305を除去し、各TFT102毎に分離する。次に、図7に示すように透明なガラスから成る中間転写基板701上に、TFT102毎に対応する位置に光吸収体702を形成し、全体に接着・剥離層703を形成する。光吸収体702としては例えば、MoTa、MoWなどの中間転写基板701側を黒化した金属膜によって形成する。光吸収体702は、熱伝導の良いものが好ましい。接着・剥離層703は熱を受けると粘性が下がり接着力が低下する、アピーゾンプロダクツリミテッド製アピーゾンワックス等の、ワックスやロウ等を用いれば良い。また、日東電工株式会社製リバアルファ等、加熱する事により発泡し、接着力が低下するものを用いても良い。中間転写基板701は、素子形成基板401と熱膨張率が近いものが好ましい。

【0012】この光吸収体702と各TFT102の保護膜601を位置合せし、図8のように接着・剥離層703と保護膜601を接着する。次に、中間転写基板701周縁部の側面をテープ等で保護し、フッ酸と界面活性剤の混合液で中間転写基板701をエッチングする。エッチングは、エッチングストップ層402で停止するよう、調整する。また、エッチングストップ層402を設ける代わりに、アモルファスシリコンとシリコン窒化膜の積層等として、その下層にレーザーアブレーションを起こしやすい材料を設け、素子形成基板401を通してレーザー光を当てる事により、TFT102を分離しても良い。レーザーアブレーションしやすい材料としては、水素化アモルファスシリコンや、低温成膜したシリコン窒化膜などガスを含む絶縁膜、イミド化率が低いポリアミド等でも良い。以上の様にして、図9に示すように中間転写基板701にTFT102を転写する事が出来る。次に、転写先基板301の配線の形成方法を図10から図14を用いて説明する。転写先基板301の材料としては、無アルカリガラス、ソーダライムガラス等のガラス基板、またはプラスチック基板等でも良い。本実施形態では無アルカリガラスのガラス基板を用いる。

【0013】まず、図10に示すように転写先基板301上に、スクリーン印刷で導電ペーストを塗布し、パターン形成して、450~600℃程度でアニールする事により、膜厚1~5μm程度の走査線105を形成す

る。線幅は $30\mu\text{m}$ とする。走査線105の形成方法としては他にも、三井・デュポンポリケミカル(株)製のFodel等の導電性と感光性を有するフィルムを張り付け、フォトマスクを露光してパターンを形成する事により形成しても良いし、蒸着やスパッタにより薄膜を形成し、レジストをマスクにして露光現像を行い、エッチングをする事も可能である。次に、図11に示すように燐を含有したシリコン酸化膜を塗布し、約 $600^{\circ}\text{C}$ で焼成して、これを2層重ねる事により層間絶縁膜302を形成する。この様に添加材を加え、低温でリフローする事により、ピンホールの少ない層間絶縁膜302を形成する事が出来る。層間絶縁膜302は無機膜のほかにポリイミドやアクリル樹脂、ベンゾシクロブテン(BCB)等で形成しても良い。層間絶縁膜302上に、図12に示すように信号線104を走査線105と同様な材料、方法で形成し、線幅 $30\mu\text{m}$ 程度、膜厚 $1\sim 3\mu\text{m}$ 程度とする。その上に、図13に示すように平坦化膜303を形成する。平坦化膜303はアクリル系樹脂を $2\sim 20\mu\text{m}$ 程度塗布してアニールで軟化させる事により、表面の凹凸を約 $0.5\mu\text{m}$ 以下とした。さらに平坦

化膜303としては、BCBを用いる事も、平坦性を得る上で有効である。また、無機絶縁膜を形成し、研磨しても良い。

【0014】さらに図14のように、層間絶縁膜302、平坦化膜303に、フォトレジストを塗布し露光現像してマスクを作製し、エッチングを行う事により信号線104、走査線105上に、コンタクト部201を設ける。これらの配線を形成した転写先基板301に、中間転写基板701上のTFTを転写する。この転写工程を、図15から図18を用いて説明する。図15から図

18ではTFT102の詳細な部分等については省略している。まず図15のように、配線を形成した転写先基板301の平坦化膜303上に素子を接着する為の接着層1501をスクリーン印刷などで塗布して形成する。接着層1501はアクリル系樹脂とし、厚さは $0.1\sim 1\mu\text{m}$ 程度とした。接着層1501の上に中間転写基板701を位置合わせし、転写するTFT102と接着層1501を接着する。その後、中間転写基板701を通して転写するTFT102の上部を選択的に光照射し

10

20

30

40

50

せても良い。この場合は、それぞれの薄膜発熱体は、マトリクス制御するなどして転写したいTFT102を選択的に発熱させ用いても良い。また、熱で接着性が低下する接着・剥離層703の代わりに、熱で接着し、紫外線で接着性が低下する物質、例えば紫外線で分解しやすいベンゾフェロン等を含む、アクリル系粘着剤などを用いても良い。その際には、転写したいTFT102に選択的に紫外線を照射しても良いし、TFT102の大きさの部分開口を設けたマスクパターンを形成し、紫外線を照射しても良い。図16のようにTFT102の転写を繰り返し、TFT102を所定の位置に接着する。また、熱工程や、紫外線照射などによりこの接着をより強固にする工程を設けても良い。次に図17に示すように、保護膜601をレジスト剥離液を用いて除去する。保護膜601はTFT102を全て転写した後に除去しても、1回の転写の度に除去する事を反复しても良い。その後、転写先基板301全面にITOから成る膜をスパッタで成膜した後、フォトレジストを塗布してパターニングする事により、図18のように信号線104とTFT102を接続する為の接続電極203等を形成する。同時に画素電極103も形成する。以上により、図1に示すような、液晶表示装置に用いるアクティブマトリクス基板101を完成する。

【0016】本実施形態では、中間転写基板701と、転写先基板301のTFT102の素子形成密度が異なる。この様に、転写元基板と転写先基板の素子形成密度が異なる場合のTFT102の転写方法について、図19から図23を用いてさらに説明する。図19から図23ではTFT102の構成などの詳細は省略してある。まず、TFT102を素子形成基板401上で形成する。その際、転写先基板301上でのTFT102の密度とは異なる密度でTFT102を形成し、TFT102の縦方向、横方向とも転写先基板301でのTFT102密度の整数倍の密度で形成すると、生産性が高くなり好ましい。本実施形態では、TFT102の縦、横方向とも転写先基板301での2倍の密度でTFT102を形成する例を説明する。このTFT102を図19のように中間転写基板701に転写する。また、転写先基板301は、信号線104、走査線105等を形成する。次に、図20の様に、1回目の転写では転写先基板301上のTFT102の4個分の領域にTFT102が転写される。中間転写基板701は、転写先基板301の4倍の密度にTFT102が形成されている為、中間転写基板701上の1つ飛びのTFT102が選択的に転写される。

【0017】1回目の転写の後、図21、図22、図23のように、中間転写基板701をずらし、1つ飛びずつ転写する事を繰り返す。これにより、対角 $5.2$ インチのHDTVを作製する場合は、画素ピッチが横方向が $200\mu\text{m}$ 程度、縦方向が $600\mu\text{m}$ 程度である為、素子

形成基板401に各TFT102を $100\mu\text{m}\times 100\mu\text{m}$ 程度以下に形成すれば、素子形成基板401の大きさは、転写先基板301の12分の1で良い。また、素子形成基板401を $650\text{mm}\times 650\text{mm}$ 程度のものを用いれば、対角52インチのHDTV用の4枚分のTFT102が得られる。このようにして得られたアクティブマトリクス基板101に、図24に示すように、カラーフィルタ2401、対向電極2402を設けた対向ガラス基板2403を組み合わせて、 $2\mu\text{m}\sim 6\mu\text{m}$ 程度の適当なセルギャップを設けて固定し、間に液晶層2404を注入する事で、液晶表示装置を得る事が出来た。この液晶表示装置は、16個のTFT102を1つ飛びに転写し、4回の位置合わせで転写出来るので生産性が高い。同時に複数のTFT102を転写し、少ない転写回数で全てのTFT102を転写できるので、生産性向上と共に、均一性の確保、歩留まり向上等の効果もある。また、素子形成基板401上でのTFT102形成は既存の製造ラインが使用できる為に、投資コストの低減も可能となる。さらに、配線、層間ショートなども適宜必要に応じて、リペアを行う事が出来る為、生産性が高い。TFT102の不良についても容易に対応できる。例えば、素子形成基板401上のTFT102の不良をアレイテスタ等で測定し、不良なTFTを転写せずに、後に転写しなかった部分に良品のTFTを転写すれば良い。

【0018】また、TFT102は各TFT102毎に分離されたアンダーコート層305上に設けられている為、TFT102の下層膜に歪みを与える事無く、信頼性が向上する。歪緩和は、TFT素子特性を変化させる事を抑えるばかりでなく、はがれ不良などの転写時の接着信頼性の向上に効果がある。さらに本実施形態では、ゲート絶縁膜307の膜厚が数百nm程度、寸法精度が数 $\mu\text{m}$ 程度といったTFTを高精度の製造ラインで製造し、パターン精度が $30\mu\text{m}$ 程度といった、要求精度の緩い配線を大型基板に形成したものと組み合わせる事が可能となり、大画面のディスプレイが低いコストで実現可能となる。なお、転写する素子の単位としては、1つのTFT102だけでなく、複数のトランジスタで構成される回路とする事も可能である。選択用のトランジスタと、その出力で制御される駆動用のトランジスタを転写により形成し、液晶やELの駆動装置としても適用する事もできる。次に本発明の第2の実施形態について説明する。本実施形態では、素子単独でなく、配線、画素電極等の構成を全体的に形成し、複数回転写する事によって1枚のアクティブマトリクス基板101を形成する。本実施形態のアクティブマトリクス基板101の形成方法を図25から図30を用いて示す。図25から図30では、TFT102の構成等は省略している。

【0019】図25に示すように、ガラスなどの素子形成基板401上に、エッチングストッパー層402、ア

ンダーコート層305を積層し、TFT102、信号線104、走査線105、画素電極103等を形成する。本実施形態においては、各層は第1の実施形態と同様に形成する。次に、素子や配線を形成した素子領域2501を全て覆うように保護膜601を形成し、保護膜601と同じ大きさにエッチングストッパー層402、アンダーコート層305をエッチングする。保護膜601は露光現像による加工により、 $1\sim 20\mu\text{m}$ 程度の端部の精度が得られた。次に、図26に示すように第1の実施形態と同様な接着・剥離層703の形成された中間転写基板701に、素子形成基板401の保護膜601を接着する。その後、図27のように素子形成基板401をエッチング除去する。図28のように接着層1501を設けた転写先基板301に素子形成領域2501を位置合わせし、中間転写基板701を通して接着・剥離層703を加熱し、接着力を弱め、転写する。図29のように1回目の転写後に保護膜601をレジスト剥離液を用いて除去しても良いし、2回目の転写が終り、全ての素子、配線等を転写してから除去しても良い。このようにして、図30のようなアクティブマトリクス基板101が完成する。

【0020】本実施形態の様に、素子や配線等を形成したものを2枚転写して、1つの大きなアクティブマトリクス基板101を形成するには、境界の接合精度が問題となる。図31は素子や配線を形成した2枚の素子形成基板401を元に転写先基板301を形成した図であり、図32は図31のb-b'の断面図である。図31、図32では、TFT102の構成等は省略している。本実施形態で図31の様な素子形成基板401から転写先基板301を形成したところ、図32に示すように同じ素子形成基板401内の信号線104と画素電極103の間隔 $Lg1$ と、素子形成基板401の突き合わせ部の信号線104と画素電極103の間隔 $Lg2$ はどちらも等しく $8\sim 15\mu\text{m}$ 程度と出来る。これはHDTVのような高精細画素にも適用でき、大画面で、画素開口率の高く明るい表示を得る事が出来る。この構造では、従来のような、1枚の基板から形成したアクティブマトリクス基板と同様に、画素や信号線の配置が出来る為に、カップリングによる画素電圧変動がアクティブマトリクス基板101の突き合わせ部で発生せずに、良好な画質が得られる。また、図33は図31と同様であるが、素子形成基板401の突き合わせ部のマージンを広げる為に突き合わせ部を中心とした線対称としている。図34は図33のc-c'の断面図である。図33、図34ではTFT102の構成等は省略している。この場合、素子形成基板401内の画素電極103間の間隔、 $Lp1$ と、素子形成基板401の突き合わせ部の画素電極103間の間隔、 $Lp2$ が、等しければ良く、信号線104の幅を $30\mu\text{m}$ 程度、画素電極103と信号線104間の間隔を $5\mu\text{m}$ 程度とすると $Lp1=Lp2=4$



0 $\mu$ m程度とすれば良く、作製が容易となる。

【0021】なお、アクティブマトリクス基板101の突き合わせ部には配線が無い為に、配線と画素電極103の間の容量カップリングが通常とは異なる。よって、必要に応じて信号を補償すれば良い。本実施形態では、大型のアクティブマトリクス基板101を作製する際に、2枚の基板を接合する必要が無い為に、2枚の基板の突き合わせ部で厚みが大きくなる、2枚の基板で素子や配線を形成した領域の高さが異なり対向基板と接触する、等の問題が避けられる。また、本実施形態では転写先基板301としてガラス基板を用いたが、プラスチック基板、樹脂フィルム、セラミックス基板、金属薄板基板、等を用いる事も出来る。従来、プラスチック基板や樹脂フィルムなどでは、熱変形や熱膨張率の大きさから、高精細な画素を精密に作製する事が困難であった。しかし本発明の方式では、素子形成基板401の精度は従来のガラス基板の精度と同様なものと出来、それを転写すれば良い為、200ppiといった高精細画像をプラスチック基板や樹脂フィルムなどに形成する事が可能となる。

【0022】

【発明の効果】上記のように本発明によれば、大型基板や、ガラス以外の異なる材料を用いた基板にも、ローコストで高精度なアクティブマトリクス基板を作製する事が出来る。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態のアクティブマトリクス基板の平面図。

【図2】 図1のTFT部分の拡大図。

【図3】 図2のa-a'間の断面図。

【図4】 素子形成基板上のTFT部分の拡大図。

【図5】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図6】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図7】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図8】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図9】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図10】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図11】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図12】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図13】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図14】 本発明の第1の実施形態のアクティブマト

リクス基板の製造方法の1工程を示す断面図。

【図15】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図16】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図17】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図18】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図19】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す図。

【図20】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す図。

【図21】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す図。

【図22】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す図。

【図23】 本発明の第1の実施形態のアクティブマトリクス基板の製造方法の1工程を示す図。

【図24】 本発明の第1の実施形態のアクティブマトリクス基板を用いた液晶表示装置の断面図。

【図25】 本発明の第2の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図26】 本発明の第2の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図27】 本発明の第2の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図28】 本発明の第2の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図29】 本発明の第2の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図30】 本発明の第2の実施形態のアクティブマトリクス基板の製造方法の1工程を示す断面図。

【図31】 2枚の素子形成基板からアクティブマトリクス基板を形成する場合の平面図。

【図32】 図31のb-b'間の断面図。

【図33】 2枚の素子形成基板からアクティブマトリクス基板を形成する場合の平面図。

【図34】 図33のc-c'間の断面図。

【図35】 従来のアクティブマトリクス型LCDの画素部の断面図。

【符号の説明】

101…アクティブマトリクス基板

102…TFT

103…画素電極

104…信号線

105…走査線

201…コンタクト部

202、203…接続電極

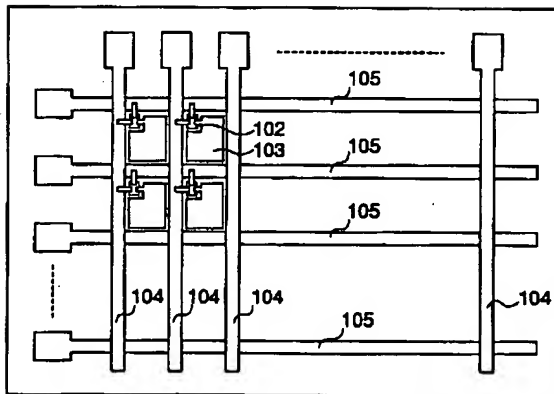
301…転写先基板



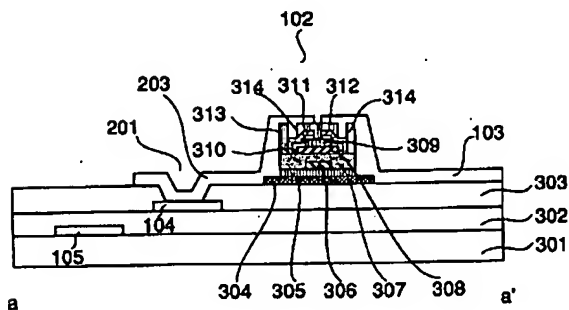
13

302…層間絶縁膜  
 303…平坦化膜  
 304…接着層  
 305…アンダーコート層  
 306…ゲート電極  
 307…ゲート絶縁膜  
 308…半導体層  
 309…チャネル保護絶縁膜  
 310…n型半導体層  
 311…ソース電極  
 312…ドレイン電極  
 313…パッシベーション膜  
 314…コンタクトホール  
 401…素子形成基板  
 402…エッチングストッパー層  
 601…保護膜  
 701…中間転写基板  
 702…光吸収体  
 703…接着・剥離層

【図1】



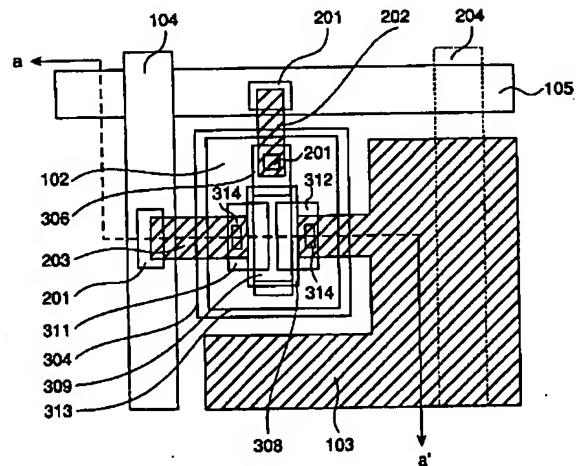
【図3】



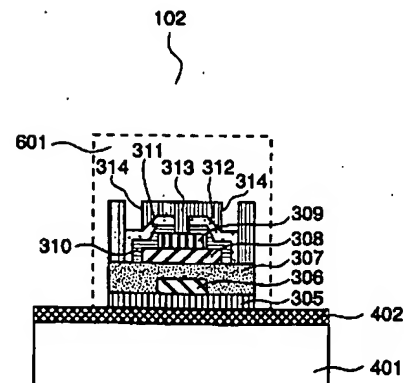
14

1501…接着層  
 1502…遮光マスク  
 2401…カラーフィルタ  
 2402…対向電極  
 2403…対向ガラス基板  
 2404…液晶  
 2501…素子形成領域  
 3501…ガラス基板  
 3502…走査線  
 3503…補助容量線  
 3504…ゲート絶縁膜  
 3505…画素電極  
 3506…TFT部  
 3507…半導体層  
 3508…チャネル保護絶縁膜  
 3509…ドーピングされた半導体層  
 3510…ソース電極  
 3511…ドレイン電極  
 3512…保護絶縁膜

【図2】



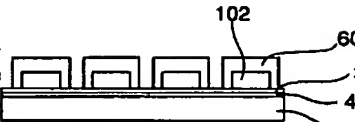
【図4】



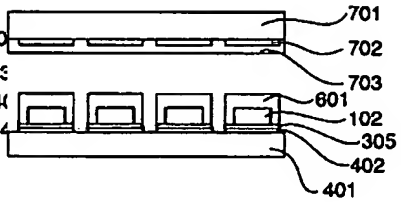
【図 5】



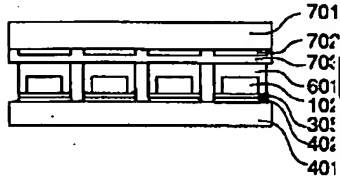
【図 6】



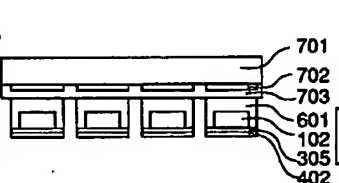
【図 7】



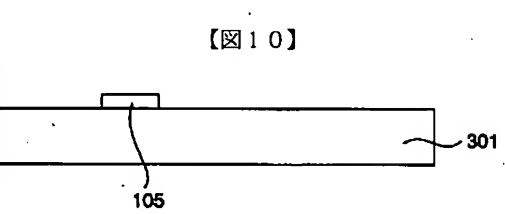
【図 8】



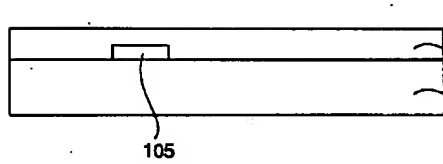
【図 9】



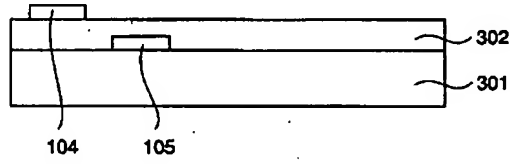
【図 10】



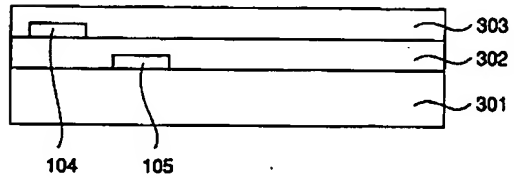
【図 11】



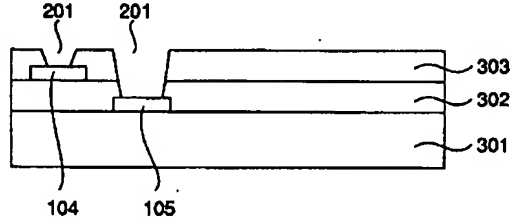
【図 12】



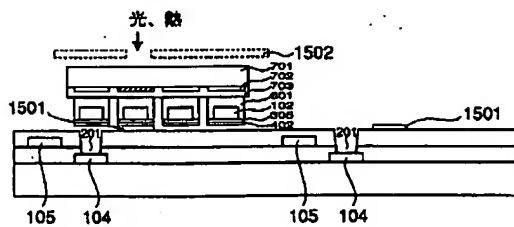
【図 13】



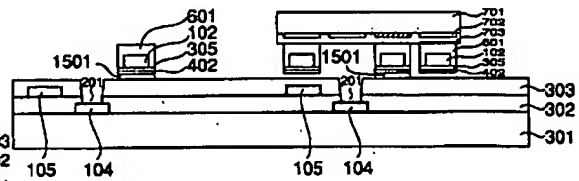
【図 14】



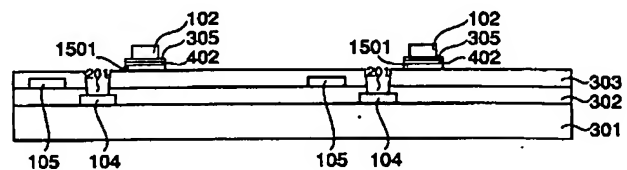
【図 15】



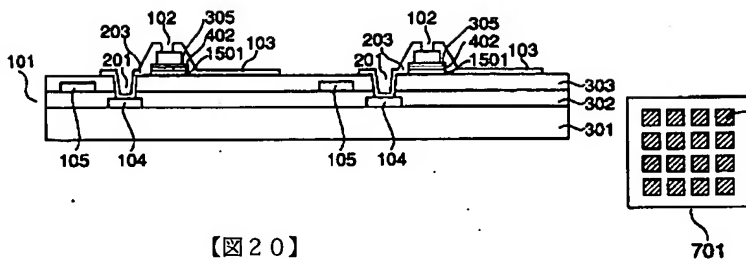
【図 16】



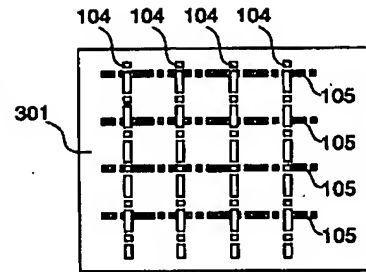
【図 17】



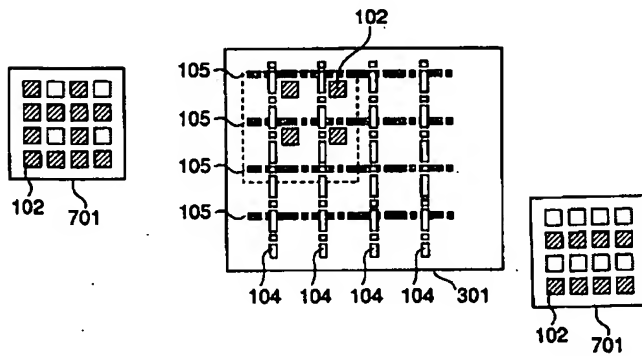
【図 18】



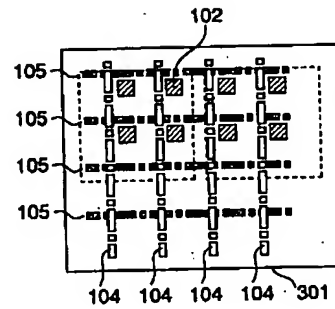
【図 19】



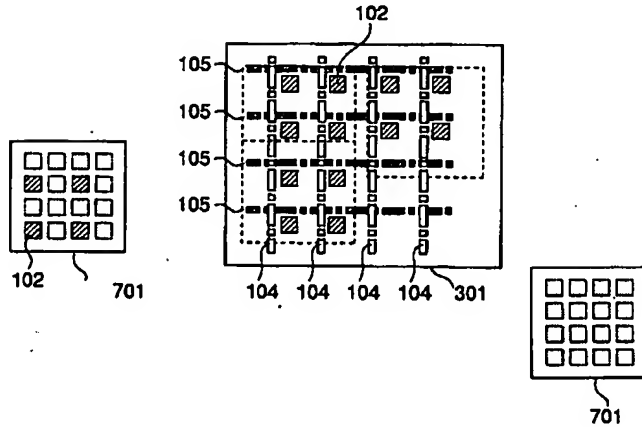
【図 20】



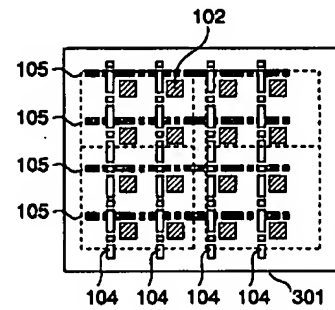
【図 21】



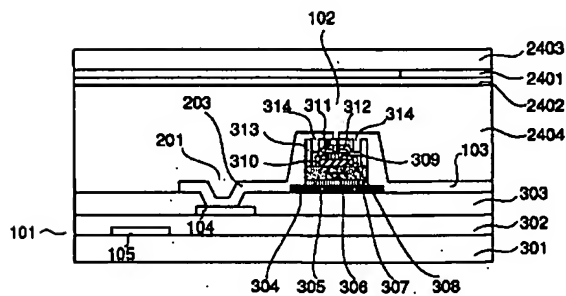
【図 22】



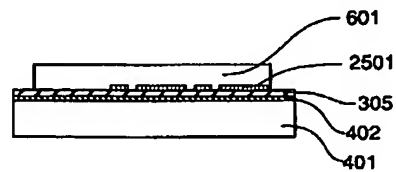
【図 23】



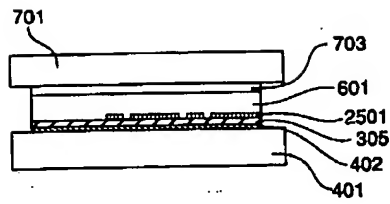
【図 24】



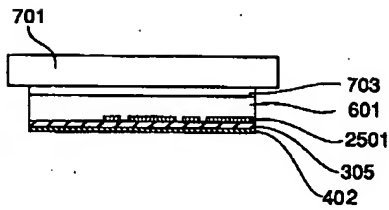
【図 25】



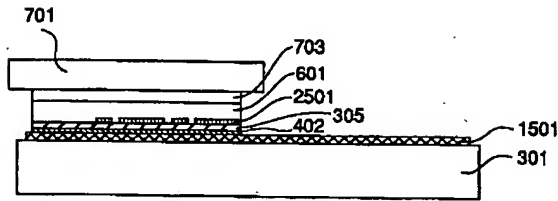
【図 26】



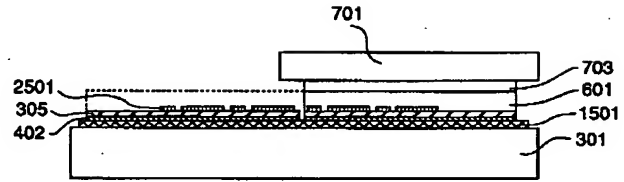
【図 27】



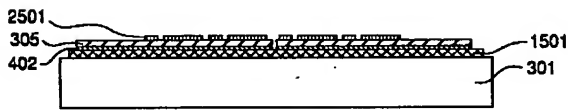
【図 28】



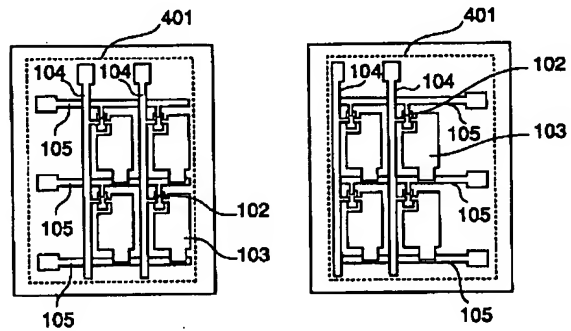
【図 29】



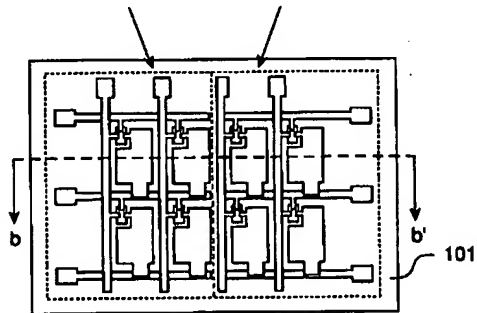
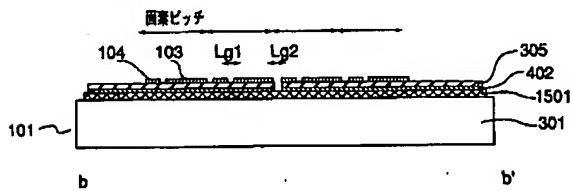
【図 30】



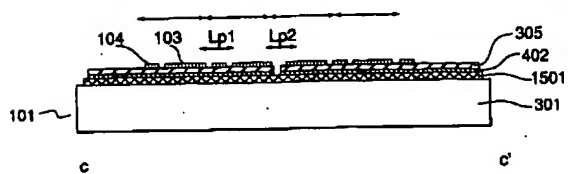
【図 31】



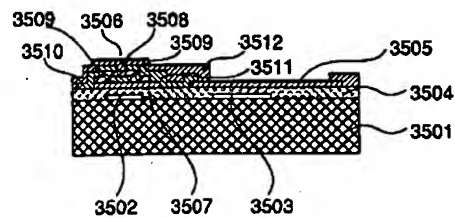
【図 32】



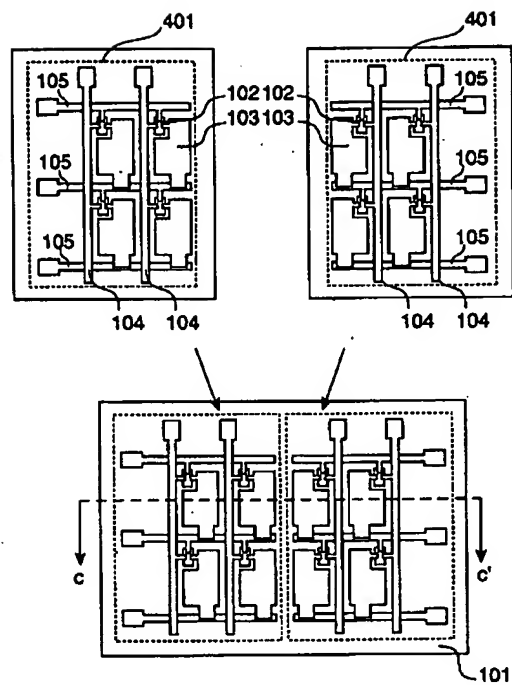
【図 34】



【図 35】



【図 33】



フロントページの続き

F ターム(参考) 2H092 GA20 GA24 GA28 HA28 JA21  
 JA26 JA41 JB04 JB22 JB31  
 JB41 JB57 JB58 KA05 KA12  
 KB25 MA01 MA05 MA08 MA13  
 MA18 MA31 MA37 MA42 MA43  
 NA27 PA01 PA09  
 5F110 AA16 BB01 CC07 DD01 DD02  
 DD12 DD13 DD14 DD17 DD30  
 EE06 FF02 FF03 FF09 FF30  
 GG02 GG15 GG25 HH08 HH21  
 HK34 NN02 NN03 NN04 NN12  
 NN14 NN24 NN27 NN35 QQ12  
 QQ16 QQ17 QQ19